



KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication
number:

1020020018610 A

(43)Date of publication of application:
08.03.2002

(21)Application number: 1020010053317

(22)Date of filing: 31.08.2001

(30)Priority: 31.08.2000 US 2000
652449

(71)Applicant:

AGERE SYSTEMS
GUARDIAN
CORPORATION

(72)Inventor:

ADEBANJO RICHARDSON
O.
IIFEN WINSTON YAN

(51)Int. Cl.

H01L 21/28

(54) DUAL DAMASCENE CONTACT FOR INTEGRATED DEVICE

(57) Abstract:

PURPOSE: A semiconductor integrated circuit structure and a method for fabricating the structure are provided to obviate drawbacks related to seams or voids formed in metal contacts between interconnection levels.

CONSTITUTION: The structure(10) includes a semiconductor layer(14) having a top surface region (12) where a transistor(18) is formed. Metallization levels(40,50,60) formed on the semiconductor layer (14) have conductive members(62,62a,62b,62c)

formed in dielectric layers(64a,64b,64c). Contacts(30,30a), which are conventionally formed, provide connections between the metallization levels(40,50,60). In particular, a capacitor(70) is formed in an upper metallization level(60), being connected to the conductive member(62a) of a lower metallization level(50) through a dual damascene contact(74). Another dual damascene contact(74a) connects the conductive members(62b,62c) of the metallization levels(50,60). Each of the dual damascene contacts (74,74a) has a narrow portion extending to the conductive member(62a,62b) of the lower metallization level(50), and a wide portion extending to the conductive member(62c) of the upper metallization level (60).

&copy; KIPO 2002

Legal Status

BEST AVAILABLE COPY

AL

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷ (11) 공개번호 특2002-0018610
H01L 21/28 (43) 공개일자 2002년09월03일

(21) 출원번호 10-2001-0053317
(22) 출원일자 2001년08월31일
(30) 우선권주장 09/652,449 2000년08월31일 미국(US)
(71) 출원인 에이저 시스템즈 가디언 코퍼레이션 후속기업
미국 플로리다주, 32819 올란드 사우스 존 영 파크웨이 9333
(72) 발명자 아디반지오리카르도손오
미국, 플로리다32835, 올란드, 윈딩레이크셔플 3805
안이팜지윈스톤
미국, 플로리다32837, 올란드, 런온셔플2491
(74) 대리인 이병호

심사청구 : 있음

(54) 집적 디바이스를 위한 이중 상감 콘택트

요약

본 발명은 반도체 구조물 및 그 제조 방법에 관한 것이다. 하나의 바람직한 일 실시예에 따라, 구조물은 상부면에 형성된 디바이스 영역과 함께 절연 평면을 따라 형성된 상부면을 갖는 반도체 물질층을 포함한다. 공간 분리된 금속화 레벨들은 각각 도전성 부재를 포함하는 반도체층 상에 형성된다. 상기 평면과 직교인 축을 따라 형성된 콘택트(contact)는 제1 레벨들의 도전성 부재를 제2 레벨들의 도전성 부재와 전기적으로 접속시킨다. 콘택트는 제1 레벨의 도전성 부재로 연장하는 좁은 부분 및 이 좁은 부분으로부터 제2 레벨의 도전성 부재 쪽으로 연장하는 넓은 부분을 포함한다.

반도체 구조물의 제조 방법은 유전체층에 형성된 개구를 갖는 반도체층 상에 유전체 물질층을 형성하는 단계를 포함한다. 상기 개구 상부면으로부터 연장하는 넓은 부분 및 이 넓은 부분으로부터 반도체층 쪽으로 개구를 연장시키는 좁은 부분을 포함한다. 개구의 넓은 부분 및 넓은 부분으로부터 도전성 물질 채워지고, 도전성 부재는 도전성 물질과의 전기적 콘택트 내의 개구 상에 형성된다.

도면들

도 1

도면들

도전성 부재, 반도체층, 절연체층, 상호접속 부재, 금속화 레벨

도면들

도면들의 간략한 설명

도 1은 본 발명의 예시적인 실시예를 도시하는 단면도.

도 2 내지 5는 도 1의 실시예의 제조와 관련한 세부 사항들을 예시하는 단면도.

* 도면의 주요 부분에 대한 부호의 설명 *

- | | |
|----------------|---------------|
| 10: 집적 회로 구조물 | 12: 상부면 영역 |
| 14: 반도체층 | 18: 트랜지스터 |
| 20: 소스/드레인 영역 | 22: 게이트 구조물 |
| 30: 콘택트 | 62: 도전성 부재 |
| 70: 커패시터 | 88: 커패시터 플레이트 |
| 92: 개구 | 95, 98: 넓은 부분 |
| 96, 100: 좁은 부분 | 97: 변형된 개구 |

도면들의 상세한 설명

발명의 배경

발명의 목적

발명의 분야

본 발명은 반도체 디바이스들에 관한 것으로, 특히 회로 구조들에서 도전성 부재들 사이의 접속들에 관한 것이다.

배경

반도체 공정 절차 레벨이 진행됨에 따라, 다중 레벨 상호접속 방식의 밀도는 계속 증가하고, 연관된 특징 부 크기는 작아진다. 사실상, 반도체 상호접속 요건들은 초대규모 집적 회로들을 가장 요구가 지나친 양상을 띠는 하나로 고려된다. 기타 다른 관심사들 중에서, 복잡해지는 디바이스들이 소형으로 제조됨에 따라 허용 가능한 레벨들의 디바이스 신뢰도를 유지하기는 곤란하다.

통상적으로, 복잡한 반도체 디바이스들은 회로 접속들을 수행하기 위해 3개 이상의 상호접속 레벨들을 필요로 한다. 이 구조물들에서, 바이어스 또는 콘택트들의 형성에 의해 다른 상호접속 레벨들 상의 도전성 부재들 사이에 접속이 이루어진다. 예시에 의해, 알루미늄 금속화 방식에서, 구조물은 유전체 물질들을 대안으로 형성하고, 서로 상에 금속 도전체 물질들을 패턴닝한다. 각각의 유전체층이 형성된 후 그리고 다음 금속화 레벨이 생성되기 전에, 콘택트들은 일반적으로 먼저 이전 금속화 레벨의 밑에 놓인 영역들을 노출 시키도록 최상부 유전체층을 통해 개구들을 통해 에칭함으로써 형성된다. 배리어 금속층(예, Ti 및 TiN의 스택)이 개구들에 침착되고, 이어서, 텅스텐 등의 내화성 금속이 침착되지만, Co 및 Al 역시 침착될 수 있다. 디바이스 기하학들이 수축됨에 따라 점점 작아지는 개구들의 폭(또는 직경)에 의해, 보이드(void) 또는 시임(seam)은 금속이 침착됨에 따라 비아 개구로 형성되는 것이 일반적이다. 종종 보이드는 유전체층의 표면들 통해 연장하고, 광량의 금속이 예를 들면 화학 기계적 연마에 의해 표면으로부터 제거됨에 따라 노출된다. 결과로서 생긴 구조물들은 신뢰도 문제점들을 야기시키고 디바이스 제조 과정에서 반도체 웨이퍼들의 재가공을 빈번히 필요로 하기 때문에 많이 염려되는 과제가 되고 있다. B. Kassab 등의 'H₂O 함유 슬러리들을 사용하는 서브-쿼터 마이크론 텅스텐 화학 기계적 평탄화에서 재가공 및 플러그 코어링을 감소시키는 프로세스 방법론(Process Methodologies to Reduce Rework and Plug Coring in Sub-Quarter Micron Tungsten Chemical Mechanical Planarization Using H₂O Containing Slurries)', 6월 27-29일, Proc. VMC 컨퍼런스, 189 내지 194 페이지(2000) 참조. 또한, Y.C. Chang 등의 'Al 압출을 방지하기 위해 N₂/H₂ 플라스마 처리와 조합된 저온 CVD TiN 침착(Low Temperature CVD TiN Deposition Combined with N₂/H₂ Plasma Treatment to Prevent Al Extrusion)', 6월 27-29일, Proc. VMC 컨퍼런스, 297 내지 301 페이지(2000) 참조.

금속 콘택트들에서 보이드들 또는 시임들의 형성과 연관된 한가지 특수한 문제점은 코어링으로서 공지되어 있으며, 여기서 연마 공정은 그것이 다음 제조에 영향을 미치는 지점까지 보이드의 확대를 가져오고, 신뢰도 문제들을 야기한다. 제2의 관련 문제점은 콘택트들 상에 침착된 물질들의 동각 특성(conformal nature)으로부터 유래한다. 예를 들면, 비교적 얇은 유전체층이 콘택트의 노출된 보이드 또는 시임 상에 침착될 때, 이 콘택트 플레의 층의 두께는 더욱 감소할 수 있다. 이는 단락을 생성할 수 있거나 또는 영역들 내에 박층을 제공함으로써 전기적 용량에 결연 파괴를 가져온다. 콘택트 시임들과 연관있고, 다시 코어링에 의해 확대되는 제3 문제점은 금속 이동, 특히 Al 상호접속 시스템들에서의 금속 이동이다. 전기 이동은 콘택트 시임으로의 Al의 이동을 가져오고, 상호접속층들 내에 보이드들을 생성하고, 디바이스 고장률 유도를 하는 것으로 공지되어 있다.

금속 콘택트들에서 시임들(seams)과 연관된 문제점들을 극복함으로써, 특히, 감하는 금속 에칭 공정들에 의해 제조되는 금속화 방식들을 갖는 디바이스들에 대해 집적 레벨 및 디바이스 신뢰도의 진보에 기여할 수 있다.

발명의 이점과 목적은 기술적 배경

본 발명의 일 실시예에 따라, 반도체 구조물은 각각의 레벨이 도전성 부재를 포함하는 반도체층 상에 형성된 공간 분리된 금속화 레벨들을 포함한다. 콘택트는 제1 레벨들의 도전성 부재를 제2 레벨들의 도전성 부재와 접속시킨다. 콘택트는 제1 레벨의 도전성 부재로 연장하는 좁은 부분 및 이 좁은 부분으로부터 제2 레벨의 도전성 부재 쪽으로 연장하는 넓은 부분을 포함한다.

본 발명의 다른 양상에 따라, 평면을 따라 표면이 형성된 반도체층을 갖는 집적 회로 디바이스가 역시 제공된다. 금속화 레벨은 표면 상에 형성된 도전성 부재를 포함하고, 상부면을 갖는 유전체 물질층이 반도체 표면과 도전성 부재 사이에 형성된다. 전기적 콘택트는 표면에 대하여 수직 배향들을 따라 유전체 물질층을 통해 연장한다. 이 콘택트는 상부면으로부터 측을 따라 유전체층 내에 연장하는 넓은 부분 및 이 넓은 부분으로부터 측을 따라 반도체층의 표면쪽으로 연장하는 좁은 부분을 포함한다.

또 다른 실시예에서, 반도체 구조물의 제조 방법은 상부면을 갖는 유전체 물질층을 반도체층 상에 형성하는 단계들을 포함한다. 개구는 유전체층 내에 형성된다. 개구는 상부면으로부터 연장하는 넓은 부분 및 이 넓은 부분으로부터 반도체층 쪽으로 개구를 연장시키는 좁은 부분을 포함한다. 개구의 좁은 부분 및 이 넓은 부분 모두는 도전체 물질로 채워지고, 도전성 부재를 포함하는 금속화 레벨은 도전체 물질과의 전기적 콘택트 내의 개구 상에 형성된다.

발명의 구성 및 작용

본 발명의 수많은 장점들은 본 발명의 하기 상세한 설명을 첨부된 도면들 참조하여 읽을 때 명백해질 것이다.

같은 부호들은 도면 전반의 같은 소자들을 나타내지만, 도면에 예시된 여러 가지 특징들은 서로 비교되지 않음에 주의해야 한다.

용어

예시된 층들 및 다른 소자들은 2개 이상의 서브-층들 또는 서브-소자들을 포함할 수 있다. 다른 특징부 상에 형성되거나 배치된 하나의 층 또는 다른 소자가 개시될 때, 그 소자는 다른 특징부와인 직접적인 연결을 가질 수 있거나 또는 예를 들면 개재되는 소자에 의해 다른 특징부로부터 공간 분리될 수 있다. 더욱이, 다른 특징부 상에 개시된 소자는 특징부 상에 반드시 수직으로 존재할 필요는 없고, 예를 들면 다른 특징부의 측면 부분 상에 형성될 수 있다.

수직 및 수평이라는 용어는 다른 표면에 관하여 하나의 표면의 대략의 직교 배향을 나타내고, 여기서 어느 하나의 표면이 한 평면 내에 형성될 수 있는 한편, 한 표면 또는 모든 표면은 불규칙성을 가질 수 있거나 또는 반도체 디바이스들의 다른 특징부 및 층들을 따라 존재하는 바의 곡률을 가질 수 있다. 예를 들면, 일부의 이론적 수직으로 예정된 개구들은 테이퍼된 프로파일들을 갖는 것으로 공지되어 있다. 일반적으로, 미발상 예정으로 그려지는 특징부들, 예를 들면, 바이머스는 벽들이 직선들에 따를 수 없지만 절정 평면에 관하여 수직임을 특징으로 하고, 배향은 기존 평면에 관하여 직교될 수 없다.

상호접속 구조물들은 1개 이상의 회로 기능들의 구현을 지원하도록 구성된 복수의 도전성 부재들이다. 복잡한 회로 설계에서, 상호접속 구조물들은 순차로 형성되는 층들의 레벨들 또는 라미네이트들을 포함하고, 이들 도전성 부재들을 생성하고 전기적으로 연결시킨다. 금속화 또는 상호접속 레벨은 도전성 부재들의 내부 연결을 제공하기 위해 같은 시퀀스의 처리 동안, 예를 들면 포토리소그래피 단계 및 관련 에칭 단계에서 형성된 도전성 부재들의 그룹이고, 이들 일부는 실리온 산화물 또는 실리온 질화물 등의 유전체 물질들에 의해 다른 것들로부터 절연된다. 도전성 부재들은 폴리실리온을 포함할 수 있고, Al 또는 Cu를 합할 수 있고, 시트 저항을 감소시키기 위해 구화물에 포함될 수 있다.

상세한 설명

예시된 실시예들에서, 본 발명은 개선된 신뢰도를 갖는 바이머스와 함께 반도체 구조물들을 제공할 수 있다. 본 발명은 복잡한 아날로그 회로 및 이론적 회로 상의 시스템들을 포함하는 매우 광범위한 반도체 설계들에 적용될 수 있다. 제공된 실시예들에서, 본 발명은 3개 이상의 금속화 레벨들을 갖는 집적 회로 구조물들에 적용된다. 표시의 간결성을 위해, 몇 개 이상의 레벨들이 사용될 수 있지만, 예시된 실시예들은 3개의 금속화 레벨들을 나타낸다. 예를 들면 0.25 μ m 이하의 특징부 크기를 생성하기 위해 전하적인 초대규모 집적(ULSI) 공정들로 제조할 때, 집적 회로 구조물들은 디바이스 신뢰도를 보장하기 위해 본 발명의 사용을 필요로 할 수 있는 회로 밀도를 및 전기적 성능 요건들을 가질 것이다.

도 1을 참조하면, 본 발명은 반도체 기판 상의 상호접속 레벨의 금속 산화물 금속 커패시터 구조물의 형성 및 접속에 관해서 또한 2개의 상호접속 레벨 사이의 콘택트의 형성에 관하여 기재한다. 부분적 단면도로서 도시된 집적 회로 구조물(10)은 수평 절연 평면을 따라 형성된 상부 영역(12)을 갖는 반도체층(14)을 포함한다. 금속 산화물 반도체(MOS) 전계 효과 트랜지스터들(18)은 영역(12)내에 형성된다. 다이오드들 및 기타 다른 유형의 트랜지스터들(예, 바이머스 디바이스들 또는 MESFET들)을 포함하는 다른 디바이스들은 표면 영역(12)내에 형성될 수 있지만, 이들은 본 발명을 기재하는 목적상 예시될 필요가 없다.

트랜지스터들(18)중 예시적인 것은 소스/드레인 영역들(20) 및 게이트 구조물(22)을 포함하는 것으로 나타난다. 비록 게이트 구조물(22)이 상세히 기재되지 않았지만, 도면은 인접하는 도전성 소자들로부터 게이트 구조물들을 절연시키기 위해 게이트 유전체, 게이트 도전체(통상적으로 시트 저항을 감소시키기 위해 그 위에 형성된 구화물에 의해 헐리된 폴리실리온) 및 도전성 부들 상에 형성된 측면 필라멘트들을 포함하는 공통 MOSFET 부들로서 도시한다. 표시의 간결성을 위해, 상부 영역(12)(예, 절연 구조물들)를 레에 일반적으로 형성된 다른 특징부들은 도면들에 도시되지 않는다.

유전 절연체의 초기 레벨(28)은 트랜지스터 상에 헐리되고, 콘택트들(30a)을 포함하는 통상적으로 형성되는 콘택트들(30)은 여러 트랜지스터 영역들 및 다른 특징부들로부터 헐리되는 금속화 레벨들(40, 50 및 60)로 및 금속화 레벨들 사이에 접속을 제공한다. 각각의 금속화 레벨은 다중 도전성 부재들(62)을 포함하고, 그중 일부는 도면들에 도시되어 있다. 도 1은 상호접속 레벨(50)의 부재(62a)가 뻗어있는 방향에 평행한 평면을 따라 취한 것이다. 이 도면은 또한 부재(62a)가 연장하는 방향에 직교하는 방향으로 뻗어있는 레벨(50)의 부재(62b)를 도시한다. 레벨들(40 및 60)로 형성된 다중 부재들(62)은 부재(62b)에 평행한 방향으로 연장한다. 일반적으로, 각각의 레벨의 부재(62)는 절연층(64a 또는 64b)에 형성된다. 이러한 예시에서, 부재들은 시트 형성되는 것으로 추정된다.

예시된 실시예에 따라, 커패시터(70)는 이중 상감 콘택트(74)를 통해 금속화 레벨(50)의 도전성 부재(62a)로의 접속에 의해 금속화 레벨(60)에 형성된다. 가장 바람직하게는, 콘택트(74)는 인터페이스를 제공하는 평면 상부면(78)을 갖고, 그 위에 제1 금속층이 제1 커패시터 플레이트(80)를 제공하도록 형성되고, 절연층은 플레이트(80) 상에서 패턴화되어 커패시터 유전체(84)를 제공하고, 제2 금속층은 유전체층(84) 상에 형성되어 제2 커패시터 플레이트(88)를 제공한다. 종래의 콘택트(30)은 제2 커패시터 플레이트(88)로부터 다른 금속화 레벨로 또는 결합 패드(예시하지 않음)로의 접속을 제공한다. 본 발명은 일반적으로 유용성을 예시하는 목적 상, 다른 이중 상감 콘택트(74a)은 레벨(50)의 도전성 부재(62b)를 종래 레벨(60)의 부재(60c)에 접속시키는 것으로서 예시되어 있다.

집적 회로 구조물(10)에 대한 선택 제조의 상세한 설명을 하기에 개시한다. 그러나, 유전체 및 도전성 물질들의 선택은 용도에 따라 변화할 수 있다. 적절한 유전체 물질들을 형성하는 데 유용한 간단한 논의만이 바람직한 실시예에 관련하여 먼저 제공된다.

도 1에 도시된 바와 같이 다중 레벨의 상호접속 구조물 내에서 도전체들을 서로 전기적으로 절연시키는 절연 산화물들을 형성하는 데 유용한 수많은 방법들이 일반적으로 존재한다. 종종, 레벨간 유전체는 평면 및 평면상 양의 최적하는 속성 세트를 최적화시키기 위한 서브층들을 포함할 것이다. 트랜지스터 구

조성물 및 폴리실리콘 도전체층 상에 일반적으로 형성된 제1 상호접속 레이어를 증착 및 열처리 공정이다. 인의 증착은 약 1000°C에서 재현될 수 있는 한편, 불소 및 인의 사용은 후속 공정을 더욱 감소시킨다. 상호접속 구조물(금속간 유전체)의 다른 레이어들의 금속 도전체층 사이에 접합을 제공하는 유전체 레이어를 화학 기상 증착(CVD) 공정에 의해 형성된 실리콘 산화물일 수 있다. 이층은 더 거대 CVD, 저압 CVD(LPCVD), 및 플라즈마 강화 CVD(PECVD)를 포함하고, 이들 모두는 실린의 분해에 기초할 수 있다. 반면에 인을 추가하는 것은 일반적이고, 습기 및 게터링(gettering)에 대한 저항을 개선시키는 포스포실리콘 케임프 플라스(P3G)를 고려한다.

테트라에틸 오르토실리케이트, 또는 TEOS, $Si(OC_2H_5)_4$,는 모든 레이어 유전체층에 대한 실리콘 산화물의 형성에 있어서 전구체로서 널리 사용되고 있다. 실리콘 산화물 막(TEOS-형성된 산화물)을 형성하기 위해 용액인 액체 TEOS를 증기시키는 것은 통상적으로 산소 환경에서 650°C 내지 750°C에서 CVD에 의해 달성한다. 그러한 TEOS 형성을 포함한 균일성 및 소용 커버리지 제공을 것으로 공지되어 있다. 일반적으로, 합리적인 막은 그것이 종종 실리콘 산화물로서 언급되지만, 실리콘의 비화합물 산화물인 것으로 이해된다. 예를 들어 반응하는 산소의 10%에 이르는 오존(O₃)을 포함시키는 것은 양호한 형태적 특성, 낮은 점도 및 개선된 열-충전 특성들에 의해 저온 형성을 조정한다. 통상적인 반응 환경은 분당 4표준 리터(slm) 산소에 의해 400°C 및 300Torr이고, 산소는 6% 오존, 1.5slm He 및 분당 300 표준 세제곱 센티미터(ccsc) TEOS를 포함한다. 결과로서 생긴 레이어들은 광의 금속화 레이어 상의 개개의 금속 라인들 사이의 영역들에 적절한 전충전 특성을 갖는다. TEOS-산화 막은 인으로 도핑될 수 있다.

대안으로, 실리콘 산화물층 고밀도 플라즈마 침착(HDP)에 의해 형성될 수 있다. HDP 산화물이라 함하는 화학물층 도핑되지 않은 실리콘에 유리(USG) 또는 불루소로-도핑된 실리콘에 유리(FSG)를 포함할 수 있다.

상기 유전체 물질들 및 기타 다른 변종들에 관한 상세한 설명이 잘 공지되어 있다. 예를 들면, Wolf의 Silicon Processing for the VLSI Era, 제2권, Process Integration, Lattice Press 1990 참조.

질적 회로 구조물(10)의 제조에 대한 선택적인 예시적인 상세한 설명은 예시적인 감산 금속 에칭 기술에 대해 도 2 및 3에 도시되어 있다. 유전체 절연체의 소기 층(28)은 트랜지스터(18) 상에 형성되어 있고, 표면 영역(12)의 일부들을 노출시킨다. 절연체 층(28)은 350°C 내지 550°C에서 실리콘으로부터 먼저 HDP 산화물(200nm±20nm)을 침착시키고, 700°C에서 120분 동안 치밀화에 의해 TEOS로부터 실리콘 산화물의 플라즈마 강화 침착에 의해 형성될 수 있다. 절연체의 상층 두께는 950nm에 이르는 28 범위일 수 있다.

30a로 지정된 콘택트층은 절연체층(28) 내에 형성되어 예를 들면 여러 가지 트랜지스터 영역들과 아직 형성되어야 하는 제1 금속화 레이어(40) 사이에 접착을 제공한다. 절연체 레이어(28)에서 콘택트 형성은 바미어스를 한정하기 위해 화학된 포토레지스트를 패턴화하고, 이어서 이방성 에칭, 예를 들면 CHF₃/CF₄에 의해 시작된다. 콘택트는 전형적으로 내화성 금속층을 포함한다. 선택 물질들로는 W, Ti 및 Ta를 들 수 있다. 바람직하게는, 모든 콘택트들은 W로 형성된다.

바미어가 에칭된 후, 콘택트층(30a)은 연속적인 스퍼터에 의해 먼저 Ti 배리어 서브층을 (400°C에서 약 60nm, 예시하지 않음) 침착시키고, 이어서 TiN 서브층을 (역시 400°C에서 약 75nm, 예시하지 않음) 침착시킨 후 에칭된 시립으로써 내부에 형성된다. 다음으로, 400nm의 W가 침착되고 (425°C에서), 구조물은 절연체 표면 레이어(20)로부터 금속을 제거하도록 연마되고, 제1 금속화 레이어의 형성 전에 충분한 평면성을 제공한다. 결과로서 생긴 콘택트는 약 0.32μ 폭이고, 650nm에서 950nm로 연장한다.

콘택트층(30a)의 밑에 놓인 재료를 한정할 후, 제1 금속화 레이어(40)는 Ti/TiN 스택(37nm의 Ti, 60nm의 TiN)을 형성하기 위해 400°C 연속적인 스퍼터 등의 일반적으로 널리 공지된 시립스에 의해 형성되고, 이어서 400 내지 700nm의 Al/Cu 합금 및 25nm의 TiN을 침착시킴으로써 형성된다. 금속화 레이어(40)의 도전성 부재들(52)은 표준 패턴 및 에칭 공정에 의해 한정된다. 금속화 레이어(40)뿐만 아니라 순차로 형성된 레이어(50 및 60) 상에는 절연층(64), 예를 들면 600nm의 HDP 산화물 및 1500nm의 TEOS-형성된 실리콘 산화물이 침착된다. 레이어(40) 상의 절연층은 도전층에서 층(64a)으로 지정되어 있다. 구조물은 금속 지향 한도 축소에 이어 화학 기계적 연마에 의해 평탄화된다. 콘택트(30)의 제2 레이어는 다음으로 유전체층(64a)에 형성되어 완료된 금속화 레이어(40)와 다음 금속화 레이어(50) 사이에 전기적 접속을 제공한다. 제1 레이어의 콘택트층에 대해 기재된 바와 같이, 제2 레이어의 통상의 콘택트층(30)은 먼저 Ti 배리어를 침착시키고, 이어서 TiN을 침착시킨 후, 에칭된 시립으로써 형성된다. 이어서, 노출된 표면은 콘택트층(30)을 완전히 한정하도록 뒤로 연마되고, 유전체층(64)에 증착되는 금속을 제거하고, 다음 금속화 레이어의 형성 전에 충분한 평면성을 제공한다. 결과로서 생긴 콘택트들은 약 0.36μ 폭을 갖는다.

콘택트층(30)과 증착되는 절연체층(64a)과 제1 상호접속 레이어를 형성하는 것에 대한 상기 설명은 각각의 다음 상호접속 레이어에 적용될 수 있다. 커패시터(70)(도 1), 콘택트(74) 및 콘택트(74a)에 관련된 특징 부를 제외하고, 다음 금속화 레이어들의 제조법은 상세히 개시되어 있지 않다.

금속화 레이어(50)이 침착되고, 패턴화되고 에칭됨에 따라, 다른 유전체 물질층(64)(도 20에서 64b로 지정됨)이 구조물(10) 상에 침착된다. 이중 상감 콘택트층(74 및 74a)의 형성은 금속화 레이어(50)과 아직 형성되지 않은 레이어(60) 사이의 유전체층(64b) 내의 개구들(92)을 통해 풀을 에칭시킴으로써 시작한다. 종래의 콘택트층(30)이 또한 레이어(50 및 60) 사이에 형성되어야 하는 경우, 부가의 개구들(92)(에시되지 않음)이 동시에 에칭된다. 개구들(92)은 리소그래피로 약 0.36μ 폭으로 패턴화되고, 이방성으로 약 600nm로 에칭되어(CHF₃/CF₄/N₂) 레이어(50)의 도전성 부재들(52)을 노출시킨다. 개구들(92)은 원통형이고, 표면 영역(12)에 관하여 수직으로 배열된다. 다시 도 2 참조.

다음으로, 도 3 참조, 표준 절차 후, 2개의 개구들(92) 상의 영역은 리소그래피로 약 1.2μ 폭으로 패턴화되고, 약 250nm 깊이로 이방성으로 에칭되어(CHF₃/CF₄/N₂) 원래 개구(92)의 남아있는 좁은 부분(96) 상에 넓은 부분(95)을 형성한다. 이는 도 20에 예시된 변형된 개구(97)를 가져온다. 각 변형된 개구(97)의 넓은 부분(95)은 원통형이고, 리소그래피 정렬 허용 오차 범위내에서, 전체 개구(92)와 축상으로 대칭

된다. 바람직한 실시예에서, 좁은 부분(96)은 넓은 부분(95)으로부터 반도체층(14) 쪽으로 그리고 유전체층을 통해 개구를 연장시킨다. 그러나, 좁은 부분(96)은 개구가 층(64)을 통해 연장됨에 따라 확대될 수 있다.

도전체는 먼저 Ti 배리어층을(400°C에서 약 60nm, 예시하지 않음) 침착시키고, 이어서 약 75nm의 TiN을(모든 400°C에서, 예시하지 않음) 침착시킨 후 에니밀링시킴으로써 변형된 개구(97) 내에 형성된다. 다음으로, 400nm의 두께를 가진 금속층을 CVD에 의해 침착시켜(425°C에서) 개구(97)의 좁은 부분(96) 및 넓은 부분(95) 모두를 채운다. 구조물을 연마되어 평면체 레벨 표면(28)으로부터 금속층을 제거하고, 다음에 화학 레벨의 형성 전에 충분한 평면성을 제공한다. 도 4 참조, 생성된 콘택트(74)를 하부의 금속층(100) 상에 상위의 넓은 부분(98)을 포함한다. 넓은 부분(98)은 약 1.2 μ m 폭의 평면 상부면(102)을 갖는다. 관련 길이와 약 250nm이다. 좁은 부분(100)은 약 0.38 μ m의 폭 및 350nm의 길이로 갖는다. 넓은 부분(100)을 바람직한 인공 산화물로서 보이드(104)를 포함할 수 있다. 본 발명의 수많은 실시예의 특징적인 보이드(104)가 콘택트(74 및 74a)에 형성될 때까지, 그것이 표면(102)을 초과하지 못한다는 것이 다. 그러한 보이드들은 좁은 부분과 관련된 표면에서 개구의 폭을 확대시킴으로써 표면(102)으로부터 제거될 수 있다고 생각된다.

도 5를 참조하면, 도 1의 커패시터(70)는 금속화 레벨(60)의 도전성 부재들(62)의 형성과 관련하여 콘택트 표면(102) 상에 형성된다. 금속층(110)(제1 커패시터 플레이트(80) 및 도전성 부재들(62)의 하부층을 형성함)이 전체적으로 침착된다. 이어서, 이는 금속층(110) 상에 절연층(112)(커패시터 유전체(84)를 형성함)이 침착된다.

금속층(110)은 연속적인 스퍼터에 의해 통상적으로 형성되어 Ti/TiN 스택, 예를 들면 30nm Ti 및 60nm TiN을 형성한다. 절연층은 CVD에 의해 금속층(110) 상에 침착된 실리콘 산화물 또는 탄탈 과산화물로 구성될 수 있다. 또한, 비교적 큰 유전 상수를 갖는 다른 절연체 물질들이 바람직하다.

금속화 레벨(60)의 도전성 부재들(62)의 형성 전에, 커패시터 유전체층(84)은 패터닝 및 에칭 단계들에 의해 한정되어 구조물(10)의 다른 영역들로부터 절연층(112)을 제거한다. 층(112)의 나머지 부분은 표면 영역(12)이고 평평한 평면에서 직사각형이고, 목적하는 커패시터스와 일치하는 미리정해진 영역을 커버한다. 본 발명의 본 실시예에서, 제2 커패시터 플레이트(88)(도 1)는 금속화 레벨(60)의 나머지 부분이 침착됨에 따라 형성되고, 패터닝되고, 에칭된다. 금속화 레벨(60)은 400 내지 700nm의 Al/Cu 합금 및 25nm의 TiN을 침착시킴으로써 완료될 수 있다. 금속화 레벨(60)의 도전성 부재들(62)이 표준 패턴 및 에칭 공정에 의해 한정될 때, 제2 커패시터 플레이트(88)는 또한 층(84) 상에서 한정된다. 도 1 참조, 콘택트(30)는 제2 플레이트(88) 상에 형성되어 상위 상호접속 레벨 또는 결합 패드에 대한 접속을 수행한다.

최종 구조물들 내에 다양한 형상들, 예를 들면, 원통형 직사각형, 테이퍼되는 등의 콘택트 영역들에 유용한 구조가 개시되었다. 개시된 실시예에 따른 이러한 설계의 용도는 전기적 콘택트들의 인터페이스에서 평면 표면의 형성을 보장하고, 형태적 침착 특성을 갖는 증착 층들의 형성과 연관된 문제점들을 피한다. 상세하게는, 금속층들 및 절연체 물질이 본 발명의 바람직한 실시예에 따라 제조된 금속 콘택트들 상에 침착될 때, 콘택트들은 증착층들이 시일 윤곽들에 따르는 노출된 시일들을 갖지 않는다. 따라서, 예를 들면, 콘택트 시일 플레의 커패시터 유전체의 침착과 연관된 신뢰성 문제점들을 피하게 된다. 또한, 예를 들면 시일 포함하는 상호접속 부재들이 본 발명의 바람직한 실시예에 따라 형성된 콘택트들 상에 침착될 때, Al 금속은 장치 고장을 유도하는 Al 금속 이동을 유발할 수 있는 콘택트 시일에 노출되지 않는다.

본 발명의 효과

본 발명의 특정 용도를 예시하였지만, 본 명세서에 개시된 원리들은 III-V 화합물 및 다른 반도체 물질들에 의해 형성된 구조물들을 포함하는 다양한 화로 구조물에 대해 다양한 방식으로 본 발명을 실시하는 구성들을 제공한다. 수많은 변형이 자명할 것이다. 따라서, 본 명세서에 특별히 기재하지 않았지만 다른 구성들은 하기 특허 청구의 범위에 의해서 유일하게 제한되는 본 발명의 범위로부터 벗어나지 않는다.

(97) 청구의 범위

형구항 1. 집적 회로 디바이스에 있어서,

평면을 따라 표면을 갖는 반도체층,

도전성 부재들을 포함하며, 표면 상에 형성된 금속화 레벨,

반도체 표면과 도전성 부재 사이에 형성된, 상부면을 갖는 유전체 물질층, 및

상기 유전체 물질층을 통해 연장하는 전기적 콘택트으로서, 상기 콘택트는 상부면으로부터 유전체층 내로 연장하는 넓은 부분 및 상기 넓은 부분으로부터 반도체층 쪽으로 속을 따라 연장하는 좁은 부분을 가지며, 상기 전기적 콘택트를 포함하는, 집적 회로 디바이스.

형구항 2. 제 1 항에 있어서,

상기 좁은 부분 및 넓은 부분은 각각 원통형 형상이고, 속을 따라 대칭적으로 배향된, 집적 회로 디바이스.

형구항 3. 제 1 항에 있어서,

상기 전기적 콘택트의 넓은 부분은 유전체층의 상부면을 따라 평면 표면을 포함하는, 집적 회로 디바이스.

형구항 4. 제 1 항에 있어서,

상기 전기적 콘택트와 도전성 부재 사이에 형성된 제2 절연층, 및

상기 제2 절연층과 전기적 콘택트 사이에 형성된 도전층을 더 포함하고;

상기 도전성 부재, 상기 제2 절연층 및 상기 도전층의 조합은 커패시터를 형성하는, 집적 회로 디바이스;

청구항 5. 제 1 항에 있어서,

상기 도전성 부재는 상호접속 부재인, 집적 회로 디바이스.

청구항 6. 제 1 항에 있어서,

상기 반도체층과 전기적 콘택트 사이에 형성된, 상부면을 갖는 제2 유전체 물질층, 및

상기 제2 유전체 물질층의 상부면 상에 형성된, 제2 도전성 부재를 포함하는 제2 금속화 레벨을 더 포함하고;

상기 전기적 콘택트는 상기 제1 도전성 부재 및 제2 도전성 부재와 물리적으로 접촉하는, 집적 회로 디바이스.

청구항 7. 제 6 항에 있어서,

상기 전기적 콘택트는 텅스텐, 티탄, 및 티탄 질화물을 포함하는, 집적 회로 디바이스.

청구항 8. 제 1 항에 있어서,

상기 전기적 콘택트는 텅스텐을 포함하는, 집적 회로 디바이스.

청구항 9. 제 1 항에 있어서,

상기 도전성 부재는 Si를 포함하는, 집적 회로 디바이스.

청구항 10. 제 1 항에 있어서,

상기 금속화 레벨은 회로 기능들을 수행하기 위한 복수의 상호접속 부재들을 포함하는, 집적 회로 디바이스.

청구항 11. 제 1 항에 있어서,

상기 좁은 부분은 반도체층을 통해 개구를 연장시키는, 집적 회로 디바이스.

청구항 12. 반도체 제품을 제조하는 방법에 있어서,

반도체 물질층을 제공하는 단계,

상부면을 갖는 유전체 물질층을 반도체층 상에 형성하는 단계,

상기 상부면으로부터 연장하는 넓은 부분 및 상기 넓은 부분으로부터 반도체층 쪽으로 개구를 연장시키는 좁은 부분을 갖는 개구를 유전체층 내에 형성하는 단계, 및

상기 개구의 좁은 부분 및 넓은 부분 모두를 도전체 물질로 채우는 단계를 포함하는, 반도체 제품을 제조하는 방법.

청구항 13. 제 12 항에 있어서,

상기 좁은 부분을 형성하는 단계는 유전체 물질층을 통해 개구를 연장시키는 단계를 포함하고, 도전체 물질과의 전기적 콘택트 내에 도전성 부재를 포함하는 금속화 레벨을 상부면 상에 형성하는 단계를 더 포함하는, 반도체 제품을 제조하는 방법.

청구항 14. 제 12 항에 있어서,

상기 반도체층 상에 도전성 영역을 제공하는 단계를 더 포함하고;

상기 개구를 형성하는 단계는 도전성 영역 상에 개구를 배치하는 단계를 포함하여, 상기 도전성 영역이 금속화 레벨의 도전성 부재에 전기적으로 접속되는, 반도체 제품을 제조하는 방법.

청구항 15. 제 12 항에 있어서,

상기 개구 내에 도전체를 형성하는 단계는 상기 좁은 부분 및 넓은 부분 모두를 채우도록 금속의 연속적인 침착에 의해 이루어지는, 반도체 제품을 제조하는 방법.

청구항 16. 제 13 항에 있어서,

상기 금속화 레벨의 형성 전에, 상기 개구 내의 도전체와 전기적으로 소통하는 개구의 넓은 부분 상에 도전층을 형성하는 단계, 및

상기 도전층과 도전성 부재 사이에 절연층을 형성하여, 상기 도전층, 상기 절연층 및 상기 도전성 부재의 조합이 커패시터를 형성하는 단계를 더 포함하는, 반도체 제품을 제조하는 방법.

청구항 17. 반도체 구조물에 있어서,

결정 평면을 따라 형성된 상부면을 갖는 반도체 물질층,

각각 도전성 부재를 포함하는 반도체층 상에 형성된 복수의 공간 분리된 금속화 레벨들,

상기 평면과 직교인 축을 따라 형성된 콘택트로서, 상기 콘택트는 제1 레벨들의 도전성 부재를 제2 레벨들의 도전성 부재와 전기적으로 접속시키고, 상기 제1 레벨의 도전성 부재로 연장하는 좁은 부분 및 상기 좁은 부분으로부터 제2 레벨의 도전성 부재 쪽으로 연장하는 넓은 부분을 가지는, 상기 콘택트를 포함

하는, 반도체 구조물.

형구함 18. 제 17 항에 있어서,

상기 좁은 부분은 상기 제2 레벨의 도전성 부재로 연결하는, 반도체 구조물.

형구함 19. 제 17 항에 있어서,

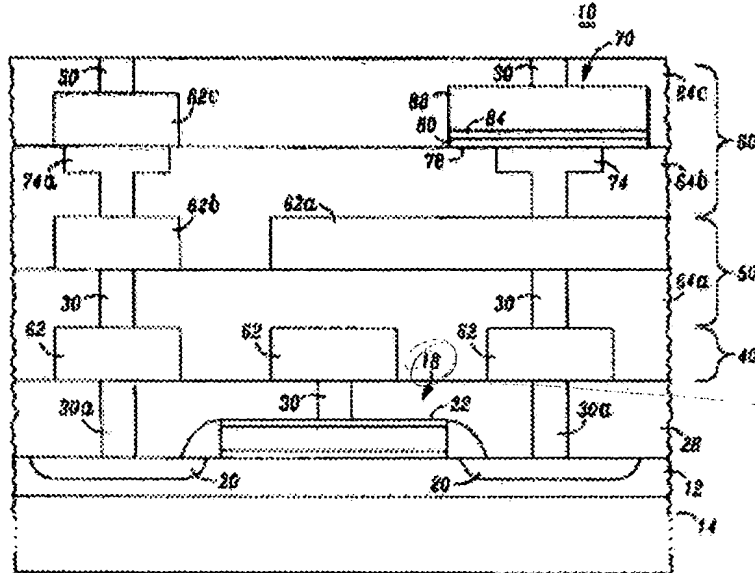
상기 넓은 부분은 상기 좁은 부분 상에 형성되는, 반도체 구조물.

형구함 20. 제 17 항에 있어서,

상기 제1 도전성 부재는 상기 제2 도전성 부재 상에 형성되는, 반도체 구조물.

도면

도면 1



도면 2

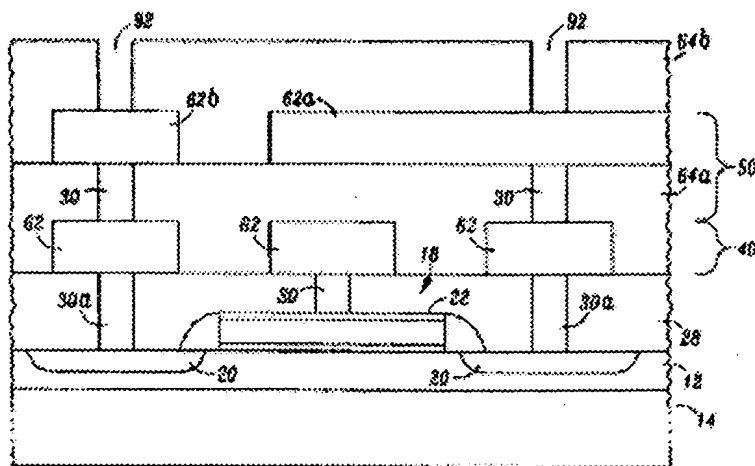


図 193

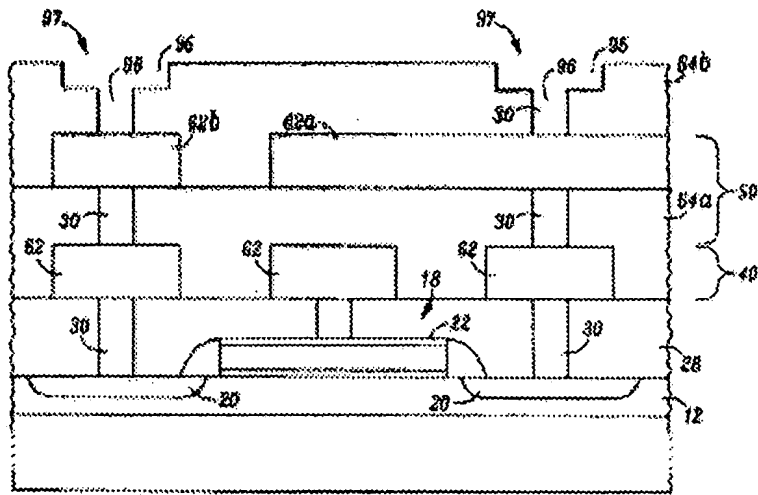


図 194

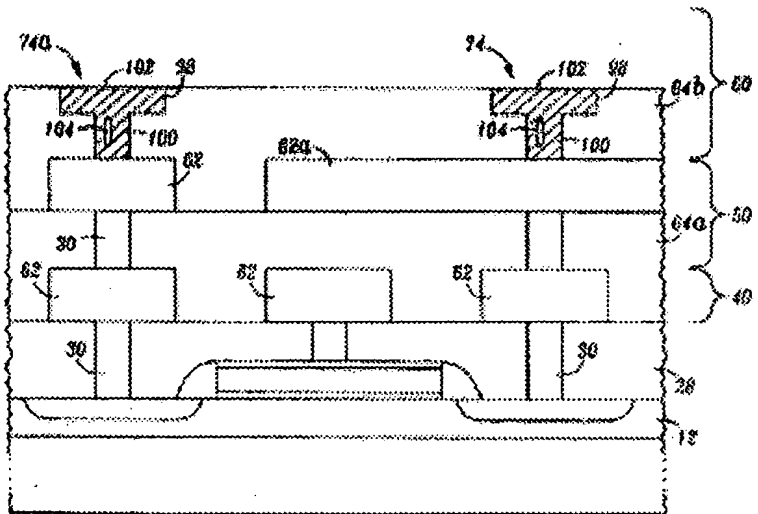
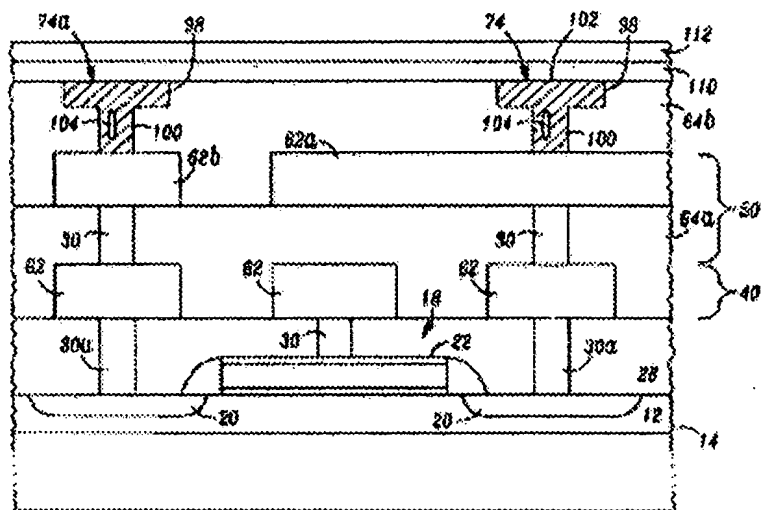


図 18



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.